

Docket No.: 60188-589

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
:
Kaoru INOUE, et al. :
:
Serial No.: Group Art Unit:
:
Filed: July 17, 2003 Examiner:
:
For: METHOD FOR FABRICATING SEMICONDUCTOR DEVICE

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-208389, filed July 17, 2002,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:km
Facsimile: (202) 756-8087
Date: July 17, 2003

日本国特許庁
JAPAN PATENT OFFICE

60188-584
Kaoru Inoue et al
July 17, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2002年 7月17日

出願番号

Application Number:

特願2002-208389

[ST.10/C]:

[JP2002-208389]

出願人

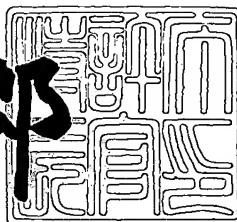
Applicant(s):

松下電器産業株式会社

2003年 7月 1日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3051930

【書類名】 特許願

【整理番号】 2925040026

【提出日】 平成14年 7月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/43

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 井上 薫

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 池田 義人

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 西井 勝則

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 廣瀬 裕

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 $Al_xGa_{1-x}N$ ($0 < X \leq 1$) よりなる半導体層の上に選択的にシリコン膜を形成する工程と、前記半導体層に対し酸素単体または酸素化合物を含むガス雰囲気中にて熱処理を行う工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記選択的にシリコン膜を形成する工程の後にシリコン化合物膜を形成する工程を有することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記シリコン化合物膜として SiO_2 膜、 SiN 膜または SiO_2 膜と SiN 膜とを交互に積み重ねた膜を用いることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記熱処理を行う工程は、 $950^{\circ}C$ 以上 $1050^{\circ}C$ 以下の温度範囲において行われることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 前記熱処理を行う工程においてシリコンを前記半導体層に拡散する工程を含むことを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、窒化ガリウム系半導体を用いた半導体レーザ素子や電界効果トランジスタ素子等の半導体装置に係るものであり、特に半導体装置における素子の分離領域を形成する技術およびコンタクト抵抗を低減する技術に関するものである。

【0002】

【従来の技術】

GaN 、 $AlGaN$ 、 $InGaN$ 、 $InAlGaN$ 等、一般的に In_xAl_yG
 $a_{1-x-y}N$ ($0 \leq X \leq 1$ 、 $0 \leq Y \leq 1$ 、 なお、以下例えば $Al_xGa_{1-x}N$ ($0 < X \leq 1$) 等を $AlGaN$ と表記する) で表される窒化ガリウム系半導体は高い絶

縁破壊電界強度、高い熱伝導率、高い電子飽和速度を有しており高周波のパワーデバイス材料として有望である。特に、AlGaN/GaNヘテロ接合構造ではAlGaNとGaNのヘテロ接合界面付近に高濃度の電子が蓄積し、いわゆる二次元電子ガスが形成される。この二次元電子ガスはAlGaNに添加されるドナー不純物と空間的に分離されて存在するため高い移動度を示し、電界効果型トランジスタにこのヘテロ構造を用いる場合、ソース抵抗成分を低減することに寄与する。また、ゲート電極から二次元電子ガスまでの距離dは通常数十nmと短いため、アスペクト比と呼ばれるゲート長Lgとの比Lg/dをLgが100nm程度と短くなても5から10と大きくできるため短チャネル効果の小さい良好な飽和特性を有する電界効果トランジスタを作製しやすいという優れた特徴を有する。さらにAlGaN/GaN系ヘテロ構造における二次元電子は 1×10^5 V/cm程度の高電界領域で、現在高周波トランジスタとして普及しているAlGaN/InGaAs系の場合に比べての2倍以上の電子速度を有し、高周波のパワーデバイスへの応用が期待されている。

【0003】

AlGaN/GaN系ヘテロ構造電界効果型トランジスタ（以下にヘテロ構造電界効果型トランジスタをHEFETと略記する）を作製する場合、まず個々のトランジスタを電気的に分離するための素子分離を行うがその一つの方法として選択酸化を行う方法がある。この方法は活性領域を酸化保護膜（以下単に保護膜という）で覆いそれ以外の領域を酸化しGaN系半導体の酸化物（以下に素子分離酸化層と呼ぶ）に変換するものである。酸化保護膜の構成のひとつとしてSi膜を用いる方法が例えば正戸他、アイ・イー・ディー・エム テクニカル ダイジエスト、2000年、第377ページ～第380ページ（H. Masato et al., IEDM Tech. Dig. (2000) pp.377-380）に報告されている。

【0004】

一方、Si膜からのSiのGaNへの拡散は900°C以上の温度で顕著になることがシー・エフ・リン他、アプライド・フィジックス・レターズ第76巻（2000年）第1878ページ～第1880ページ（C. F. Lin et al., Applied Physics Letters Volume 76 (2000) pp.1878-1880）に報告されており、コンタ

クト抵抗の低減に効果のあることが知られている。

【0005】

【発明が解決しようとする課題】

しかしながら上記従来の技術においては、例えば900℃の乾燥酸素雰囲気中にて酸化した場合、素子分離に十分な膜厚の素子分離酸化層を形成するには少なくとも4時間、構造によっては12時間程度の酸化時間を必要とする。その結果製造工程上作業効率が悪く、いっそうの時間短縮が要望される。なお、酸化時間を短縮するために酸化温度を上昇させることが考えられるが、Si膜の保護膜からのSiがGaN系半導体中に拡散していき、素子の表面がすべてn⁺型のGaN系半導体層に変換され、AlGaN/GaNヘテロ構造の二次元電子ガスの移動度が低下することや、HFEトのゲート電流のリーク電流が増大するという問題が生じる。

【0006】

上記課題に鑑み、本発明は短時間で素子分離を行うと同時にGaN系ヘテロ構造の電気的性質を損なうことなく表面にSiを導入する方法を提供するものである。

【0007】

【課題を解決するための手段】

上記課題を解決するために本発明の半導体装置の製造方法は、Al_XGa_{1-X}N (0 < X ≤ 1) よりなる半導体層の上に選択的にシリコン膜を形成する工程と、前記半導体層に対し酸素単体または酸素化合物を含むガス雰囲気中にて熱処理を行う工程とを有するものである。

【0008】

この構成により、Al_XGa_{1-X}N (0 < X ≤ 1) よりなる半導体層はSiの拡散に対してのバリアとなるので、Al_XGa_{1-X}Nよりなる半導体層直下にある半導体層（例えばGaNチャンネル層）までもn⁺型にするのを防止できる。

【0009】

本発明の半導体装置の製造方法は、さらに前記選択的にシリコン膜を形成する工程の後にシリコン化合物膜を形成する工程を有することが好ましい。この好ま

しい構成によれば、素子分離と、半導体層表面へのSiの導入とを同時に行うことができ、素子分離と、半導体層表面へのSiの導入とを別々の工程で行う場合に比べて工程数が少なくなるので、半導体装置を効率よく製造することができる。

【0010】

本発明の半導体装置の製造方法は、さらに前記シリコン化合物膜としてSiO₂膜、SiN膜またはSiO₂膜とSiN膜とを交互に積み重ねた膜を用いることが好ましい。

【0011】

本発明の半導体装置の製造方法は、さらに前記熱処理を行う工程は、950℃以上1050℃以下の温度範囲において行われることが好ましい。この好ましい構成によれば、950℃以上の温度でSiの導入効果により半導体装置のコンタクト抵抗が低下し、上限の1050℃以下の温度でSiの溶融を防止して表面形態の悪化を防止することができる。

【0012】

本発明の半導体装置の製造方法は、さらに前記熱処理を行う工程においてシリコンを前記半導体層に拡散する工程を含むことが好ましい。この好ましい構成によれば、シリコン化合物膜からのシリコンを半導体層に拡散させることができ、それにより表面が低抵抗である半導体層を得ることができる。

【0013】

【発明の実施の形態】

本発明の実施の形態について図面を参照しながら以下に説明する。

【0014】

(実施の形態1)

本発明の第1の実施形態に係る半導体装置の製造方法を図面に基づいて説明する。図3は本発明の第1の実施形態に係る半導体装置の製造工程断面図である。

【0015】

まず、本発明に係る選択酸化の実験について説明する。図3(a)は、基板101の上にAlN層102を介して3μmの厚さのアンドープGaN層103、

5 nmの厚さのアンドープAlGaN層104、20 nmの厚さのn型AlGaN層105、3 nmの厚さのアンドープAlGaN層106が順次エピタキシャル成長させた構造を持つAlGaN/GaNヘテロ構造の表面に厚さ200 nmのSi膜107を選択的に形成した試料の断面構造図を示す。この後、試料を1000°Cの乾燥酸素雰囲気中で例えば2時間酸化するとSi膜107で覆われていない部分には熱酸化によって厚い酸化膜108が形成され、図3 (b) のような断面構造となる。この時Si膜107で覆われた部分の電気的特性がどうなるかが問題であるが、図3 (b) の状態からSiO₂膜110とSi膜107を磷酸と硝酸の混合液で除去しオーミック電極を形成し、オーミック電極のコンタクト抵抗とオーミック電極間のAlGaN/GaNヘテロ構造のシート抵抗をTLM法により評価したところ、熱酸化をする前のシート抵抗である約400Ω/□を維持していることが見出された。アンドープAlGaN層104、n型AlGaN層105、アンドープAlGaN層106を合わせた厚さが28 nmと薄いことを考慮すると、GaNの場合に見られるSiの拡散はAlGaN/GaNヘテロ構造では顕著に発生していないことが推察される。なぜならば、もしもSiの拡散が速く、アンドープAlGaN層104、n型AlGaN層105、アンドープAlGaN層106を通してGaN層103に到達しているならば、AlGaN/GaNヘテロ構造の界面に形成されている2次元電子ガスの移動度はSiによるイオン化不純物散乱の影響を受けて著しく低下し、シート抵抗の顕著な増大が観測されるからである。さらにこの実験事実を確認するため、熱酸化の時間を2時間から6時間に引き延ばして同様にAlGaN/GaNヘテロ構造のシート抵抗を評価したが、シート抵抗の値は実験誤差の範囲で変化しなかった。酸化保護膜のSi膜107をSiO₂に置き換え、同様の実験を行った場合も当然ではあるがAlGaN/GaNヘテロ構造のシート抵抗の変化は殆ど見られなかった。

【0016】

以上の実験から、AlGaN層へのSi膜あるいはSiO₂膜からのSiの拡散は1000°Cの熱処理あるいは熱酸化により殆ど生じないと考えられる。

【0017】

一方、コンタクト抵抗について測定し、Siの拡散がAlGaN層に対して起きるかどうか検討した。その結果、コンタクト抵抗は、酸化保護膜にSiO₂のみを用い、Si膜107を形成した場合、熱処理を施してもコンタクト抵抗に変化がないが、Si膜107を形成して熱処理あるいは熱酸化した場合は何もしない時よりも1/5程度に低下することが見出された。すなわちSi膜107からのSiの拡散はAlGaN/GaNヘテロ構造のAlGaN層のごく表面では起きていることがわかった。しかしながら、わずか28nmの厚さのAlGaN層を突き抜けるほどには発生していないことがわかった。

【0018】

本発明の第1の実施形態に係る半導体装置の製造方法を以下に説明する。図1は本発明の第1の実施形態に係る半導体装置の製造工程断面図である。

【0019】

図1(a)は、基板101の上にAlN層102を介して3μmの厚さのアンドープGaN層103、5nmの厚さのアンドープAlGaN層104、20nmの厚さのn型AlGaN層105、3nmの厚さのアンドープAlGaN層106が順次エピタキシャル成長させた構造を持つAlGaN/GaNヘテロ構造の表面に厚さ200nmのSi膜107を選択的に形成した試料の断面構造図である。n型AlGaN層105のSi不純物の添加量はおよそ $4 \times 10^{18} \text{ cm}^{-3}$ であり、AlGaN層104～106中のAlN組成はおよそ0.25である。基板101はサファイア基板あるいはSiC基板などであるが特に限定する必要はない。

【0020】

図1(a)の試料を次に1000°Cの乾燥酸素雰囲気に約1～2時間置き、熱酸化を施す。この時酸化保護膜のSi膜107は酸化され表面にSiO₂膜110が形成される。Si保護膜で覆われていない領域のAlGaN/GaNヘテロ構造は表面から酸化され、AlGaNとGaNの酸化物108が形成され、選択酸化による素子分離が行われると同時にAlGaN層の表面にSiの導入された層109が極薄く形成される(図1(b))。1000°Cの高温熱酸化を用いることで従来の900°Cの酸化に比較すると1/4～1/5の時間で素子分離の工

程を済ませることができる。

【0021】

次に熱酸化で形成された SiO_2 膜 110 と酸化されずに残った Si 膜 107 を弗酸と硝酸の混合液により除去し、オーミック電極であるソース電極 111 とドレイン電極 112 を形成し 500°C から 900°C の熱処理を行う。これらのオーミック電極の材料は特に限定しないが、通常 Ti と Al を順次堆積したものが用いられ、熱処理の条件はその場合 550°C、1 分で水素雰囲気において行う。次にゲート電極 113 を形成して基本的な H F E T の工程を終了する(図 1 (c))。ショットキー電極としては Ni や Pd が用いられるがここでは Pd とした。

【0022】

こうして形成したゲート長 1 μm の H F E T の特性は最大ドレイン電流として 500~900 mA/mm、最大相互コンダクタンス 200 mS/mm と良好であった。コンタクト抵抗は 1000°C の熱酸化を行った場合、従来の 900°C での熱酸化に比べて約 1/5 となり、約 $5 \times 10^{-6} \Omega \text{ cm}^2$ の良好な値を示した。 AlGaN/GaN ヘテロ構造のシート抵抗は約 400 Ω/\square と従来の 900°C の場合と同様であり、高温の酸化による Si 膜 107 からの Si の拡散の効果は殆どなく、ヘテロ構造の電気的特性の劣化も見られなかった。

【0023】

熱酸化の温度を 950°C とした場合にはコンタクト抵抗が従来の約 1/2 と 900°C の場合に比べて改善した。ちなみに熱酸化を行わないで作製した H F E T のオーミック電極のコンタクト抵抗は 900°C の場合とほぼ同一であった。

【0024】

一方、ゲート電極のショットキー障壁の高さについては熱酸化の温度の上昇と共に低下する傾向が見られ、900°C の場合に 1 eV、950°C の場合に 0.95 eV、1000°C の場合に 0.8 eV という結果が得られた。これは Si の拡散が顕著でないものの AlGaN の表面に Si が導入されたことによるものと考えられる。

【0025】

なお本実施の形態における、AlGaN/GaNのヘテロ構造はAlGaN/InGaN構造であってもよい。特にGaN層上にIn組成がおよそ5%程度までの薄いInGaN層であれば結晶性も良好でデバイス作製に問題無く使用できる。

【0026】

(実施の形態2)

本発明の第2の実施形態はSi膜を選択酸化による素子分離の酸化保護膜に用いた場合、熱酸化時にAlGaN層の表面にSiが導入されゲート電極のショットキー障壁の低下を防止することを目的とする。この第2の実施形態に係る半導体装置の製造方法を図面に基づいて説明する。

【0027】

図2は本発明の第2の実施形態に係る半導体装置の製造工程断面図であり、201は基板、202はAlGaN/GaNヘテロ構造であり、図1の102～106をまとめて示している。

【0028】

まずAlGaN/GaNヘテロ構造202のゲート電極形成領域以外の素子形成領域に選択的に厚さ100nmの第一のSi膜203を形成する。次に第一のSi膜203を覆って全面にSiO₂膜204を堆積し、その上に厚さ200nm程度の第二のSi膜205を素子形成領域に選択的に形成する(図2(a))。しかる後、第二のSi膜205をエッティングマスクとしてSiO₂膜204を弗酸と弗化アンモニウムのバッファーエッティング液を用いて選択的に除去し(図2(b))、1000°Cの乾燥酸素雰囲気で約1～2時間熱酸化を施す。この時第二のSi膜205で覆われていない領域のAlGaN/GaNヘテロ構造は表面から酸化され、素子分離層206が形成されると同時にAlGaN層の表面にSiの導入された層208が極薄く形成される(図2(c))。

【0029】

次に熱酸化で形成されたSiO₂膜207、酸化されずに残ったSi膜205およびゲート電極形成領域以外の領域に形成した第一のSi膜203を弗酸と硝酸の混合液により除去する。しかる後、オーミック電極であるソース電極209

とドレイン電極210を第一のSi膜203に対応する領域に形成し、さらに第一のSi膜203で覆われていなかった領域にゲート電極211を順次形成しH F E Tを作製する(図2(d))。

【0030】

こうして作製したゲート長 $1 \mu\text{m}$ のH F E Tの特性はゲートのショットキー障壁高さを除いて実施の形態1で述べたH F E Tとほぼ同一の良好な特性を示した。ショットキー障壁の高さは約 1eV であり実施の形態1の場合に比べ 0.2eV の改善を得、ゲート形成領域にSi膜203を接触させない効果が得られた。

【0031】

なお、本実施の形態2では酸化の保護膜として SiO_2 膜204と第二のSi膜205の組み合わせを用いたがこれは SiO_2 膜204だけの場合にAlGaN/GaNヘテロ構造202の表面の素子形成領域が酸化されるのを防止するためであり、この意味から第二のSi膜205の替わりに 100nm 程度の厚さのSiN膜を用いることも可能である。

【0032】

【発明の効果】

以上説明したように本発明によると、短時間において選択酸化による素子分離が可能であると同時にAlGaN層の表面の極薄い領域にSiを導入できるのでH F E Tのオーミック電極のコンタクト抵抗を低下させることができる。その結果素子の作製プロセスの短縮化による低コスト化とコンタクト抵抗低減によるH F E Tの高性能化を図ることができるという大きな効果がある。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る半導体装置の製造方法を示す工程断面図

【図2】

本発明の第2の実施の形態に係る半導体装置の製造方法を示す工程断面図

【図3】

本発明の第1の実施の形態に係る選択酸化の実験を示す断面図

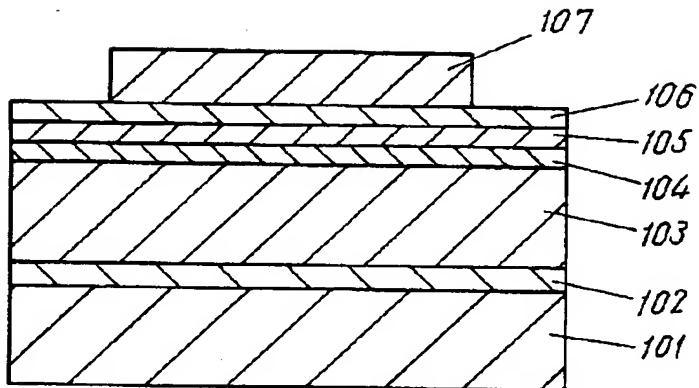
【符号の説明】

- 101 基板
- 102 AlN層
- 103 GaN層
- 104 アンドープAlGaN層
- 105 n型AlGaN層
- 106 アンドープAlGaN層
- 107 Si膜
- 108 AlGaNとGaNの酸化物
- 109 Siの導入された層
- 110 SiO₂膜
- 111 ソース電極
- 112 ドレイン電極
- 113 ゲート電極
- 201 基板
- 202 AlGaN/GaNヘテロ構造
- 203 第一のSi膜
- 204 SiO₂膜
- 205 第二のSi膜
- 206 素子分離層
- 207 SiO₂膜
- 208 Siの導入された層
- 209 ソース電極
- 210 ドレイン電極
- 211 ゲート電極

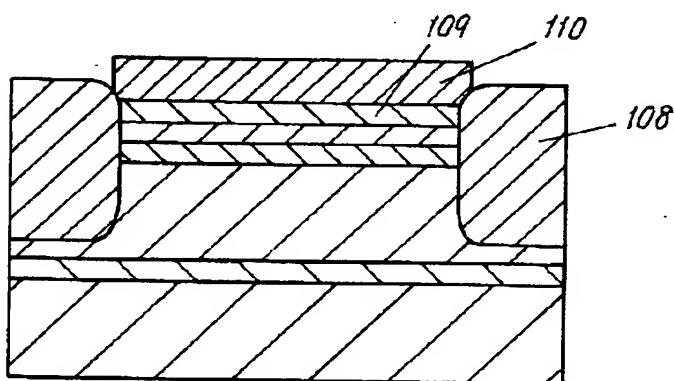
【書類名】 図面

【図1】

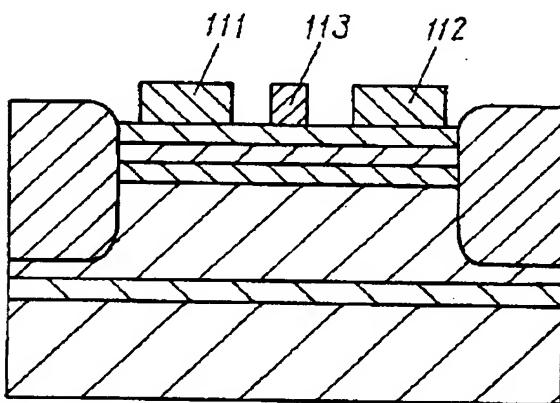
(a)



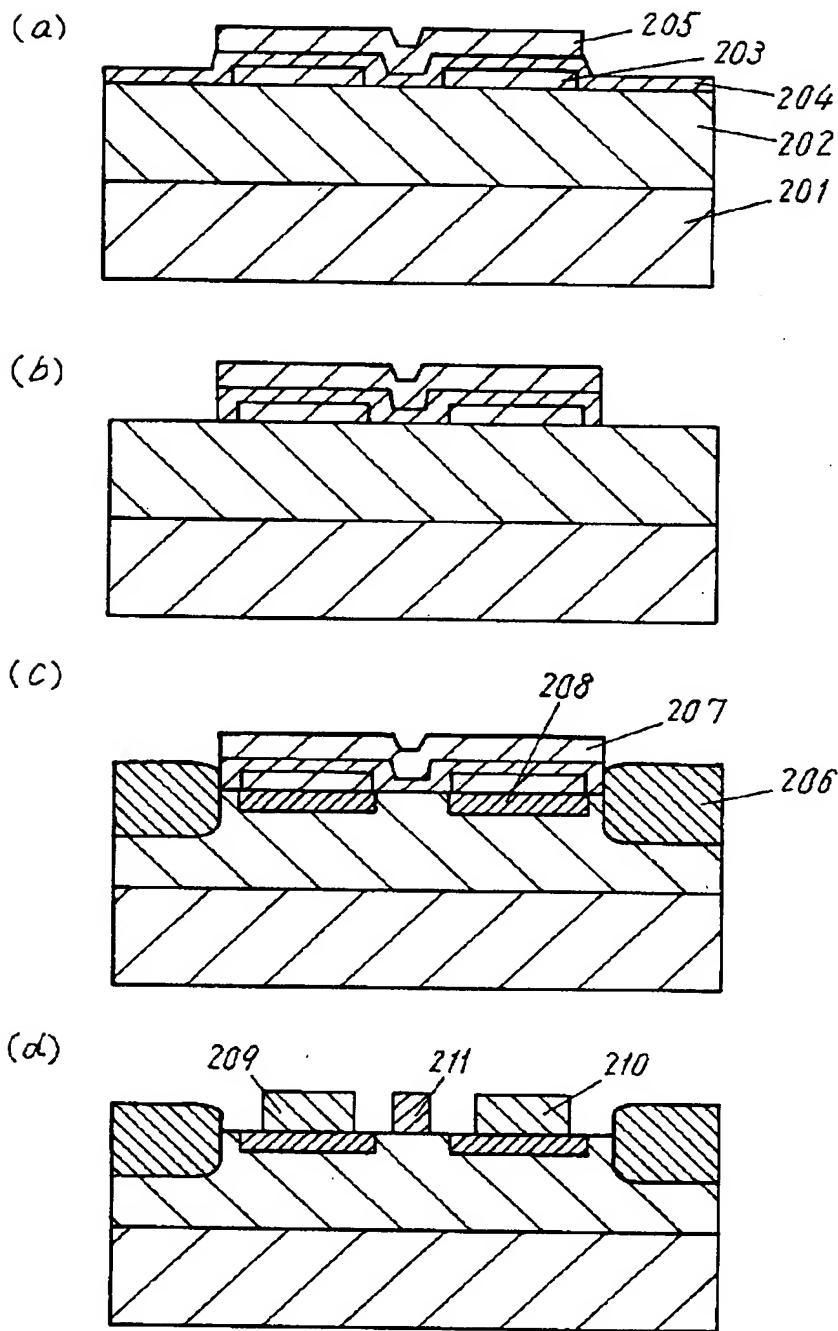
(b)



(c)

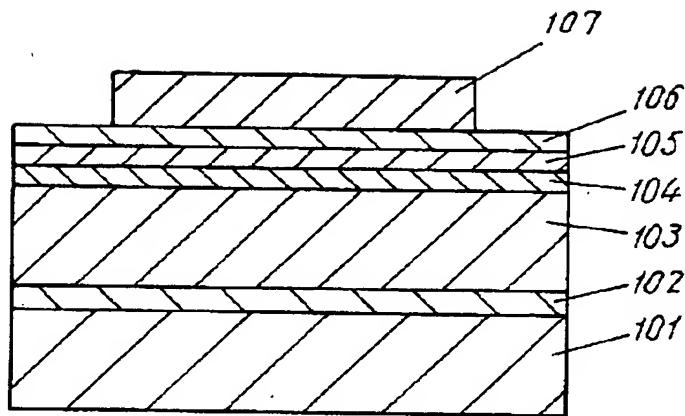


【図2】

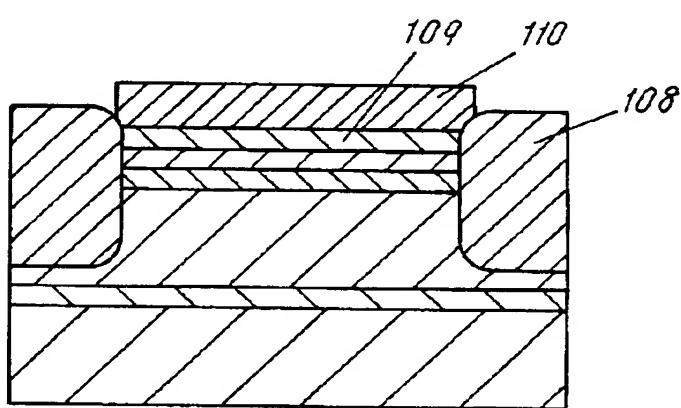


【図3】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 短時間で素子分離を行うと同時にGaN系ヘテロ構造の電気的性質を損なうことなく表面にSiを導入する。

【解決手段】 基板101の上にAlGaN/GaNヘテロ構造を形成し、さらにその表面に厚さ200nmのSi膜107を選択的に形成する。次に1000°Cの乾燥酸素雰囲気に約1~2時間置き、熱酸化を施す。このとき、Si保護膜で覆われていない領域のAlGaN/GaNヘテロ構造は表面から酸化されAlGaNとGaNの酸化物108が形成され、選択酸化による素子分離が行われると同時にAlGaN層の表面にSiの導入された層109が極薄く形成される。

【選択図】 図1

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社